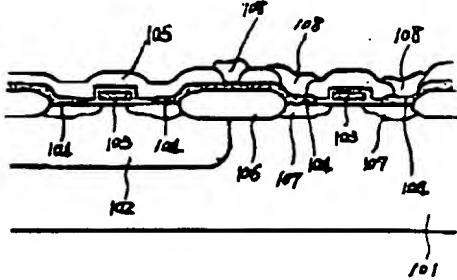


## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 57-128058 (A) (43) 9.8.1982 (19) JP  
 (21) Appl. No. 55-176933 (22) 15.12.1980  
 (71) SUWA SEIKOSHA K.K. (72) MASAHIRO YAMADA  
 (51) Int. Cl. H01L27/08, H01L29/78

**PURPOSE:** To enable to perform a contact self-alignment for both P and N channels by a method wherein a metal is formed on an N type polycrystalline Si, and subsequently, they are brought into a metal silicide state by reacting the metal and the N type polycrystalline Si.

**CONSTITUTION:** A P-well 102 is formed in an N type substrate 101, and after a gate oxidation has been performed, a polycrystalline Si is deposited, and an N<sup>+</sup> diffusion is performed on the polycrystalline Si. Subsequently, a gate 103 and a wiring 104 are formed, and using the above as a resist mask, the source and drain for a P and N channel FET is formed, and then an inter-layer insulating film 105 is deposited. Then, a metal 108 is evaporated on the contacted part of the P-channel FET, and a photoetching is performed. Subsequently, a metal silicide is formed by performing a heat treatment wherein a metal 108 and a polycrystalline Si 104 are reacted. Accordingly, the P-N junction of the P-channel contact part, which existed before it was brought into a silicide state, disappears and the ohmic contact can be maintained between the source and drain 107 of the P-channel FET and the polycrystalline Si 104.

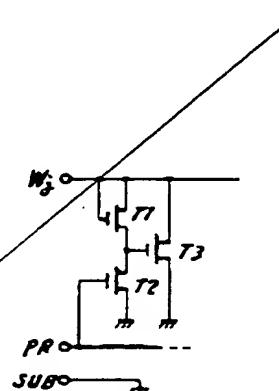


## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 57-128059 (A) (43) 9.8.1982 (19) JP  
 (21) Appl. No. 56-136448 (22) 31.8.1981  
 (71) NIPPON DENKI K.K. (72) TOSHIO WADA  
 (51) Int. Cl. H01L27/10, H01L29/78//G11C17/00

**PURPOSE:** To prevent the effect of electrostatic field arising while the subject semiconductor integrated circuit is handled by a method wherein the increase of the voltage of the input terminal in excess of the prescribed value is prevented by conducting the switching circuit when the voltage of the input terminal is increased above the prescribed value.

**CONSTITUTION:** The inverter circuit, consisting of a load transistor TRT<sub>1</sub>, a driving TRT<sub>2</sub>, and a leakage TRT<sub>3</sub>, is brought in the row line E<sub>j</sub> of a memory circuit and the writing-in terminal PR which supplies semiselective writing-in voltage. According to this circuit constitution, the TRT<sub>3</sub> is turned to ON position unless the semiselective writing-in voltage is given to the terminal PR, even when the writing-in voltage in excess of threshold is applied to the row line W<sub>j</sub>, and therefore, the row line E<sub>j</sub> is earthed and no electric potential of the row line alone is increased due to the effect of the electrostatic field. Also, the TRT<sub>2</sub> is turned to ON position when voltage is applied to the terminal PR, the gate electrode of the TRT<sub>2</sub> is lowered and OFF position is given to the TRT<sub>3</sub>, thereby enabling to perform a write-in operation.

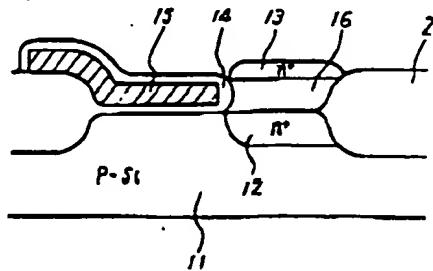


## (54) SEMICONDUCTOR DEVICE

(11) 57-128060 (A) (43) 9.8.1982 (19) JP  
 (21) Appl. No. 56-187286 (22) 19.11.1981  
 (71) MITSUBISHI DENKI K.K. (72) KOUICHI NAGASAWA(4)  
 (51) Int. Cl. H01L27/10, G11C11/34, H01L29/78

**PURPOSE:** To enable to improve the integrational density without reducing the measurements and shape of each element by a method wherein each section of the device is arranged in three dimensional manner.

**CONSTITUTION:** An N<sup>+</sup> type diffusion region 112 and an N type diffusion region 113 are arranged on the upper and the lower parts of a semiconductor layer 116, a gate electrode 115 is arranged on the layer 116 and the semiconductor layer 11 is used as a channel region. Accordingly, a drain and source can be formed in longitudinal direction as an MOS type transistor. Also, as the gate length (the interval between source and drain), which is the main parameter of the transistor, can be easily controlled by changing the thickness of the electrode 115, the integrational density can be improved.



BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-128058

⑫ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
29/78

識別記号

厅内整理番号  
6426-5F  
7377-5F

⑬ 公開 昭和57年(1982)8月9日

発明の数 1  
審査請求 未請求

(全2頁)

④ 半導体装置の製造方法

⑤ 特 願 昭55-176933  
⑥ 出 願 昭55(1980)12月15日  
⑦ 発明者 山田正弘

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑧ 出願人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4号  
⑨ 代理人 弁理士 最上務

明細書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

(1) P型ポリシリコンをゲート配線として用いた相補型MOS半導体装置について、P型拡散層と該P型ポリシリコン配線とのコンタクト部で、該P型ポリシリコン上に、金属を形成し、その後該金属と該P型ポリシリコンを反応せしめ、金属シリサイド化することを特徴とする半導体装置の製造方法。

(2) 上記半導体装置について、金属として、コバルト、マanganese、白金、タングステン、モリブデン、タングステン等高融点金属及びこれらの合金を用いることを特徴とする請求範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、いわゆる同種ポリシリコンを用いた

相補型MOS半導体装置（以下CMOSICと略す）P及びNチャンネルのソース・ドレインのコンタクト配線に、P型ポリシリコンを用いた時のPチャンネル側でのPNジャンクションの除去に関する。最近、シリコンゲートCMOSICにおいて、P型ポリシリコンをゲート配線に用いた同種ポリシリコンプロセスが注目されてきている。この同種ポリシリコンを用いたCMOSICは、従来のP及びN型ポリシリコンをゲート配線に用いたO-MOSICに比べ、ゲート配線に全てP型ポリシリコンを用いるため、P及びNチャンネルトランジスタのしきい値電圧が安定し、しかも、P型ポリシリコンはP型ポリシリコンに比べ、比抵抗を半分以下に制御できるため、配線抵抗を軽減できるので、スピード、微細化ともにすぐれている。

ただ、配線を全てP型ポリシリコンを用いて形成するため、そのままでPチャンネルトランジスタのソース・ドレインとオーミックなコンタクトはとれない。そこで従来の方法では、Pチャン

キルトランジスタ部のコンタクトは、金属（主にアルミニウム）で行つていた。そのため、N型同極ポリシリコンを用いたC-MOSICでは、

C-S-A:(Contact Self Alain) は、Nチャンネルでしか行うことができなかつた。本発明は、N型同極ポリシリコンをゲート配線に用いたC-MOSICでありますながら、しかも、Pチャンネルトランジスターのソース・ドレインとのコンタクト配線をN型ポリシリコンで形成できる半導体装置である。そのため、N型同極ポリシリコンを用いたにもかかわらず、P、NチャンネルともC-S-Aが行えるというすぐれた特徴をもつ。

第1図に本発明のC-MOSICの断面図を示す。ここではP、Nチャンネルともゲート108配線104にN型ポリシリコンを用い、しかもC-S-Aを行つている。基板101はN型基板を用いNチャンネルトランジスターを形成するためにP-ウェル102をイオン打込みで形成している。工程的には、従来のシリコンゲートC-MOSICと殆んど変わつていない。ゲート酸化後ポリシリコ

ンをデボし、抵抗点を下げる目的でこのポリシリコンにN<sup>+</sup>の熱試験を行い、その後ゲート103及び配線104をフォトエッチングで形成し、レジストマスクにして、P及びNチャンネルトランジスターのソース・ドレインを形成している。次に、層間絶縁膜105をデボしている。ただ、このままでNチャンネルトランジスターのポリシリコン配線はとれるが、PチャンネルトランジスターではP型拡散層であるソース・ドレイン107とN型ポリシリコン間にP-Nジヤンクションが出来るため、オーミックなコンタクトがとれないため、Pチャンネルトランジスターのコンタクト部に、金属108を電子ビーム等で蒸着し、さらにフォトエッチングで形成した。しかもこの金属で、バッドや第2層配線も形成するので、従来のC-MOSICのアルミニウムとほぼ同様な接続をはたす。ここでは、金属としてニッケルを用いた。その後、N<sub>2</sub>雰囲気で400°C×2hr N<sub>2</sub>中焼成してNiSi(シジカイ)化(ビ)。

り、シリサイド化する前にあつたPチャンネルコンタクト部にあつたP-Nジヤンクションは消滅し、Pチャンネルトランジスターのソース・ドレイン107とN型ポリシリコン104がオーミックな接続をもつことができる。このようすに、本発明を用いれば、従来の同極ポリシリコンを用いたC-MOSICと工程的にはなんら変わることなくしかも、P、NチャンネルともC-S-Aが行えるため、最細化に適したC-MOSICの構造及び製造方法と云える。

#### 4. 図面の簡単な説明

第1図が本発明のC-MOSICの断面図である。

104がN型ポリシリコンであり、107がPチャンネルトランジスターのソース及びドレイン、108がニッケルである。

以上

出願人 株式会社藤井精工會

代理人弁理士 最上